

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **10-145615**

(43)Date of publication of application : **29.05.1998**

(51)Int.CI.

H04N 1/52

B41J 2/525

G06T 11/00

H04N 1/60

(21)Application number : **08-300236**

(71)Applicant : **HITACHI LTD**

(22)Date of filing : **12.11.1996**

(72)Inventor : **NAKAMURA TOSHIAKI
JO MANABU
INUZUKA TATSUKI**

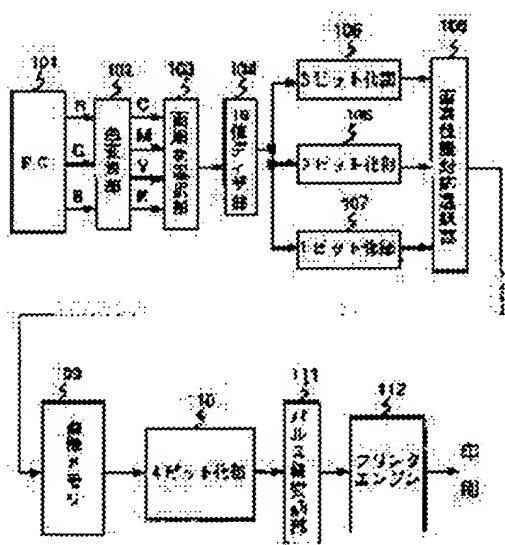
(54) IMAGE FORMING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the quality of an image formed by the same data amount.

SOLUTION: A 16-value dither 104 applies 16-value dither processing to received color data to convert the data into 4-bit data and 3/2/1-bit processing units 105, 106, 107 reduce the information amount of the 4-bit color data to apply 3/2/1-bit processing to the color data, a picture element position dependent selector 108 selects color data of a picture element at a corresponding to picture element position depending on the small/medium/large quantity of a value of the dither matrix of the 16-value dither 104 among 3/2/1-bit data and stores the selected data to an image memory 109. The 4-bit processing unit 110 applies 4-bit processing to the color data read from the image memory 109, a pulse width modulator 111 provides an output of

a signal with a pulse width in response to the value of the 4-bit data and a printer engine 112 prints out data on an area in response to the pulse width. Thus, only a gradation number of a low density area is increased where deterioration by low bit number processing is remarkable and then the image quality is improved.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-145615

(43)公開日 平成10年(1998)5月29日

(51)Int.Cl.⁶

H 04 N 1/52
B 41 J 2/525
G 06 T 11/00
H 04 N 1/60

識別記号

F I	
H 04 N 1/46	B
B 41 J 3/00	B
G 06 F 15/72	3 1 0
H 04 N 1/40	D

審査請求 未請求 請求項の数 8 OL (全 12 頁)

(21)出願番号

特願平8-300236

(22)出願日

平成8年(1996)11月12日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地
中村 敏明(72)発明者 茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
城 学(72)発明者 茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
犬塚 達基(72)発明者 茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内
（74）代理人 弁理士 富田 和子

(54)【発明の名称】 画像形成装置

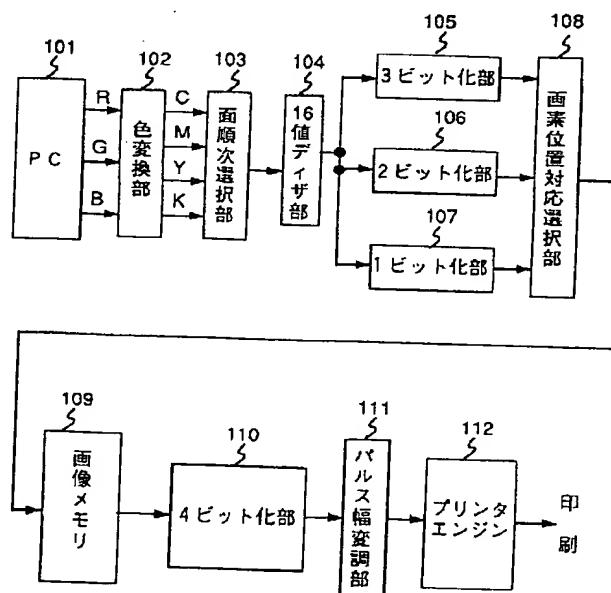
(57)【要約】

【課題】 同データ量で形成できる画像の品質を向上する。

【解決手段】 16値ディザ104は、入力する色データに16値ディザを施し4ビット化し、3/2/1ビット化105、106、107は4ビットの色データの情報量を低減し色データを3/2/1ビット化し、画素位置対応選択108は、16値ディザ104のディザマトリクスの値の小中大に応じて、対応する画素位置の画素の色データを3/2/1ビットのうちから選択し、画像メモリ109に格納する。4ビット化110は、画像メモリ109から読み出した色データを4ビット化し、パルス幅変調111は4ビットの値に応じたパルス幅をもつ信号を出力し、プリンタエンジン112はパルス幅に応じた領域に印刷を行う。

【効果】 低ビット数化による劣化が目立つ低濃度領域の階調数のみを増やし、画像の品質を向上することができる。

図1



る画素データとして選択する手段とを有することを特徴とする画像形成装置。

【請求項5】 請求項3または4記載の画像形成装置であって、

画像形成装置は、データ処理装置と、当該データ処理装置と接続された印刷装置もしくは表示装置より構成され、

前記多値ディザ処理手段は、データ処理装置に配置されており、

10 前記データ量削減手段とメモリと形成手段は、前記印刷装置もしくは表示装置に配置されていることを特徴とする画像形成装置。

【請求項6】 請求項2、3または4記載の画像形成装置であって、

画像形成装置は、データ処理装置と、当該データ処理装置と接続された印刷装置もしくは表示装置より構成され、

前記可変多値ディザ処理手段は、データ処理装置に配置されており、

20 前記メモリと形成手段は、前記印刷装置もしくは表示装置に配置されていることを特徴とする画像形成装置。

【請求項7】 各画素の階調を表す画素データよりなる画像データを入力し、入力した画像データに多値ディザ処理を施すことにより階調を有する画像を印刷する印刷装置であって、

低濃度の階調を表現するための印刷領域を着色する画像データの多値ディザ処理後のデータ量が、高濃度の階調を表現するための印刷領域を着色する画像データの多値ディザ処理後のデータ量より多くなるように、各画素データに異なる多値ディザ処理を施す可変多値ディザ処理手段と、多値ディザ処理を施した画素データを蓄積するメモリと、

メモリより読み出した、多値ディザ処理を施した画素データによって定まる、当該画素データに対応する領域中の着色範囲に着色する形成手段とを有することを特徴とする画像形成装置。

【請求項3】 請求項2記載の画像形成装置であって、前記可変多値ディザ処理手段は、

前記画像データに所定の多値ディザ処理を施す多値ディザ処理手段と、

多値ディザ処理を施された画素データのデータ量を削減するデータ量削減手段とを有し、

前記データ量削減手段は、多値ディザ処理を施された画素データのデータ量の削減を、対応するディザマトリクスの要素の値が第1の基準値以上のもののデータ量の削減量が、前記第1の基準値より小さい第2の基準値より小さいもののデータ量の削減量より大きくなるように行うことを特徴とする画像形成装置。

【請求項4】 請求項3記載の画像形成装置であって、前記多値ディザ処理は、 k 値ディザ処理（但し、 $k > 2$ ）であって、

前記データ量削減手段は、 k 値ディザ処理を施された画素データに、 n 値ディザ処理（但し、 $n \geq 1$ ）と m 値ディザ処理（但し、 $k > m > n$ ）の各々を施す手段と、 k 値ディザ処理を施された画素データのうち、 k 値ディザ処理に用いたディザマトリクスの対応する要素の値が第1の基準値以上のものに対しては n 値ディザ処理を施した結果をメモリに記憶する画素データとして選択し、前記第1の基準値より小さい第2の基準値より小さいものに対しては m 値ディザ処理を施した結果をメモリに記憶す

小さいもののデータ量の削減量より大きくなるようを行うことを特徴とする印刷装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、階調画像を出力する装置に関するものであり、特に画像の階調を、代表色の面積比によって表現する画像出力装置に関するものである。

【0002】

【従来の技術】フルカラー画像をC(シアン)、Y(イエロー)、M(マゼンダ)、K(ブラック)の4つの代表色を用いて印刷する技術として、多値ディザ処理の技術が知られている。この多値ディザ処理は、画素のマトリクスの各要素と、当該要素に対応する所定のディザマトリクスの要素との差分を多値で表し、この多値の値に従って、各画素に対応する印刷領域内における代表色の面積比を定め、画像を形成することにより階調を擬似的に表現するものである。

【0003】なお、このような多値ディザ処理の技術としては、例えば特公平5-50909号公報記載の技術が知られている。

【0004】この特公平5-50909号公報記載の技術では、主走査方向に順次ディザ値が増加するディザマトリクスを用いることにより、ドット集中型のディザパターンを実現し、多値ディザ処理による階調性を安定化させている。

【0005】

【発明が解決しようとする課題】さて、レーザビームプリンタのように一ページ分の画像データを一旦メモリに蓄積した後にプリントを開始するプリンタシステムに適用する場合を考えると、n値ディザ処理、すなわち、画素とディザマトリクスの要素との差分をnビットで表す多値ディザ処理では、一ページ分の画素数についてC、M、Y、Kの4色それぞれnビットのデータを格納するメモリ容量が必要となる。

【0006】また、多値ディザ処理をホスト側のコンピュータで行ってから、伝送線路を通ってプリンタ内のメモリに画像データを転送する場合、4色分の一画素nビットの画像データを一ページ分伝送する必要がある。

【0007】したがって、従来の多値ディザ処理の技術によれば、多値ディザ処理後の各画素のビット数を大きくすれば表現できる階調数は多くなるが、必要メモリ容量と伝送時間が増大し、多値ディザ処理後の各画素のビット数を小さくすれば、必要メモリ容量と伝送時間は減少するが、表現できる階調数が少なくなり画像の品質が劣化するという問題がある。

【0008】そこで、本発明は、画像データのビット数を従来と同等である場合に、従来よりより高品質の画像を形成することができる画像形成装置を提供することを目的とする。

【0009】

【課題を解決するための手段】前記目的達成のために本発明は、たとえば、各画素の階調を表す画素データよりもなる画像データに基づいて、各画素に対応する領域における着色量の大きさを変化させることにより階調を表した画像を形成する画像形成装置であって、形成する画像の低濃度領域における着色量の大きさの変化の段階の幅が、高濃度領域における着色量の大きさの変化の段階の幅より小さくなるように、前記画像データを、各画素に

10 対応する各領域における着色量の大きさを定める信号である形成画像信号に変換する変換手段と、形成画像信号に基づいて着色を行う形成手段とを有することを特徴とする画像形成装置を提供する。

【0010】このように本画像形成装置は、低濃度領域における表現階調数のみを増加させる。そして、このような低濃度領域における表現階調数の増加は、一律に画素データのビット数を増加することなく実現することができるので、本画像形成装置によれば、画素データのビット数の削減による画質の劣化への影響が大きい低濃度領域における孤立ドットの発生を、一律に画素データのビット数を増加することなく抑止することができる。

【0011】

【発明の実施の形態】以下、本発明の一実施形態について、カラーレーザプリンタシステムへの適用を例にとり説明する。

【0012】図1に、本実施形態に係るカラーレーザー

30 プリンタシステムの構成を示す。

【0013】図中、PC101はホストコンピュータであり、画像出力として、各画素ごとに、R(赤)、G(緑)、B(青)各8ビット／画素の色データとして出力する。

【0014】色変換部102は、R、G、Bで表現された画像情報を、記録紙に印字する色材であるC(シアン)、M(マゼンタ)、Y(イエロー)、K(ブラック)の各7ビット／画素の色データに変換する。ただし、本実施形態では、C、Y、M、Kの色データは、各々0から75までの間の値をとる。

【0015】また、色変換部102は、たとえば、変換後C、M、Y、K28ビットの値を、色変換前のR、G、B24ビットの値と等しいアドレスに記憶した半導体メモリで構成した変換テーブルとして実現できる。このような変換テーブルに、色変換前のR、G、Bの24ビットを与えれば、色変換後のC、M、Y、K28ビットを読み出すことができる。

【0016】面順次選択部103は、色データC、M、Y、Kを一ページ単位に順次切り替えて出力するものであり、論理回路のセレクタで実現できる。

【0017】16値ディザ部104はC、M、Y、Kの各色について、それぞれ複数色データ毎に多値ディザ処理を行い、7ビット／画素の色データを4ビット／画素

の色データに変換する。

【0018】3ビット化部105は16値ディザ部104から入力する4ビット／画素の色データを3ビット／画素の色データに変換する。2ビット化部106は16値ディザ部104から入力する4ビット／画素の色データを2ビット／画素の色データに変換する。1ビット化部107は16値ディザ部104から入力する4ビット／画素の色データを1ビット／画素の色データに変換する。

【0019】次に、画素位置対応選択部108は、各色データの印刷位置に応じて、3ビット化部105の出力、2ビット化部106の出力、1ビット化部107の出力の三つの入力から一つを選択して出力する。

【0020】画像メモリ109は、印刷する画像データ一ページ分のC, M, Y, Kの色データを記憶するメモリである。

【0021】4ビット化部110は画像メモリ109から出力される1ビット／画素、2ビット／画素、3ビット／画素の色データを4ビット／画素の色データに変換する。

【0022】パルス幅変調部111は、4ビット／画素の色データを、その値に対応したパルス幅をもつパルスに変換する。

【0023】プリンタエンジン112は、記録紙にパルス幅変調部111が出力するパルスの幅に応じて印刷ドットの大きさを変化させて、対応する色の色素を記憶紙に付着することにより記録紙上に階調のあるカラー画像を形成する。

【0024】以下、以上示した各部の詳細について説明する。

【0025】まず、16値ディザ部104について説明する。

【0026】図2に16値ディザ104部の構成を示す。

【0027】図2において、減算部201は、各々7ビットの色データから、当該色データに対応する色(CYMK)用のディザマトリクス202の出力値を減算する。減算部201は論理回路の減算器で実現できる。

【0028】ディザマトリクス202は、CYMKの各色毎に設けられており、それぞれ主走査方向5画素、副走査方向5画素の25画素を単位として、入力する各色データごとに、その色データの画素の位置に対応した数値を出力する。具体的には、たとえば、各ラインの開始時にリセットされ色データ1画素の入力周期を1周期とするクロックで0から4までを循環的にカウントするカウンタと、各ページの開始時にリセットされ、色データ1ラインの入力周期を1周期とするクロックで0から4までを循環的にカウントするカウンタと、これらのカウンタの出力値をアドレスとして、記憶した数値が読み出される、あらかじめ対応する数値が記憶されたレジスタ

ファイルで、各ディザマトリクス部202を構成することができる。

【0029】図3はディザマトリクス202の内容の一例を示したものである。

【0030】太線で囲まれた5画素を一ブロックとし、この組み合わせでディザマトリクス202を構成する。また、図示するように、C, M, Y, Kの4色でブロックの配置を変えてある。これは網点印刷におけるスクリーン角を色ごとに変えることで、各色が重ならないようにして、色の再現性と色ズレによる画質劣化を抑えるためである。

【0031】図2に戻り、オーバフローアンダフロー制御部203は、減算部201の出力値が10進数で15を越えた場合は値15を出力し、また0以下になった場合は値0を出力し、その他の場合は減算部201の出力値を、そのまま出力する。

【0032】このような構成において、16値ディザ部104は、入力される0から75までの間の値をとる7ビット／画素の色データから、その色データの画素の位置に対応したディザマトリクス202の値を減算部201で減算する。そして、その出力が15以上であれば15とし、また0以下であれば0とする。0から15の間の値はそのまま出力する。

【0033】ここで、このような処理の出力結果の例を図4に示す。

【0034】図4は、図3のY(イエロー)のディザマトリクスの太線内の5画素分の色データについての処理結果を示したものである。一つの四角が一画素を表す。図4の各ブロックの上の数字は図2の16値ディザ104へ入力した色データの値を示している。ここでは、各ブロックに対応する5画素の色データの値が全て等しく上記数値である場合を示している。白の四角は、その画素についての7ビット／画素の色データのディザ処理結果の4ビット／画素の色データが0であることを示す。黒の四角は、その画素についての7ビット／画素の色データのディザ処理結果の4ビット／画素の色データが15であることを示す。また1/3の領域が黒の四角は、その画素についての7ビット／画素の色データのディザ処理結果の4ビット／画素の色データが5、2/3の領域が黒の四角は、その画素についての7ビット／画素の色データのディザ処理結果の4ビット／画素の色データが10であることを示す。この図のように、図3のY(イエロー)のディザマトリクスで16値ディザを行うと、入力色データが全体的に大きくなるにつれて左上の画素、左下の画素、次に右上の画素という順で着色される結果となる。

【0035】そして、ディザ処理を行わない場合には、4ビット／画素の色データで0から15までの16段階の階調しか表現できないが、ディザ処理を行ったときには、0から75までの間での値をとる4ビット／画素の

色データで隣接5画素の固まりを一画素と見做した場合において0から75までの間での76段階の階調を表現できる。

【0036】次に、3ビット化部105、2ビット化部106、1ビット化部107について説明する。

【0037】図5に、3ビット化部105、2ビット化部106、1ビット化部107の構成を示す。

【0038】図中の、ディザマトリクス301a、301bは主走査方向2画素、副走査方向2画素の4画素単位として、入力する色データ1画素ごとに、その色データに対応する画素の位置に対応した数値を出力する。また、ディザマトリクス301cは主走査方向4画素、副走査方向4画素の16画素単位として、入力する色データ画素ごとに、その色データの画素の位置に対応した数値を出力する。これらは、前述した、16値ディザ部104のディザマトリクス202と同様に構成することができる。

【0039】次に、比較部302aは入力する色データの下位1ビットの値が、ディザマトリクス301aよりの入力値より大きな値であれば出力として1を出力し、それ以外であれば0を出力する。比較部302bは入力する色データの下位2ビットの値が、ディザマトリクス301bよりの入力値より大きな値であれば出力として1を出力し、それ以外であれば0を出力する。比較部302cは入力する色データの値が、ディザマトリクス301よりの入力値より大きな値であれば出力として1を出力し、それ以外であれば0を出力する。比較部302a、b、cは論理回路で構成する比較器で実現できる。

【0040】加算部303aは入力する色データの上位3ビットの値と比較302aからの入力データを加算する。これは論理回路で構成する3ビット加算器で実現できる。加算部303bは入力する色データの上位2ビットの値と、比較302bからの入力データを加算する。これは論理回路で構成する2ビット加算器で実現できる。

【0041】オーバフロー制御部304aは加算部303aからの入力値が10進数で7を越える場合は7を出力し、7を越えない場合は入力する値をそのまま出力する。これは加算部303aとした加算器のキャリーアウト信号が1であったら出力を7に固定する論理回路によって実現できる。またオーバフロー制御部304bは入力値が10進数で3を越える場合は3を出力し、3を越えない場合は入力する値をそのまま出力する。これは加算部303bとした加算器のキャリーアウト信号が1であったら出力を3に固定する論理回路によって実現できる。

【0042】次に動作について説明する。3ビット化部105は4ビット/画素で表現される色データを3ビット/画素の色データに変換する。

【0043】ここで、たとえば、4ビット/画素の色デ 50

ータの上位3ビットを出力することにより3ビット/画素の色データへの変換を行うと、4ビットで16階調表現が3ビットで8階調表現になる。たとえば、図5の例のように主走査2画素、副走査2画素の4画素の色データが全て9という値を持っていた場合、全て4という値となる。これは入力4ビット値が全て8の場合と同じ結果である。そこで、本実施形態では、ディザマトリクス301aの出力と画像データの下位1ビットを比較して、その結果を上位3ビットに加算することにより、2画素×2画素の領域で見た場合に、入力4ビット値が全て8の場合と9の場合とで異なった階調が表現されるようとする。この例では、入力する4画素の色データが全て9という値であった場合、5と4が交互に出されて平均4.5の値になるので、全て4が出力され平均4となる入力する4画素の色データが全て8という値であった場合と異なる階調が2画素×2画素の領域で見た場合に表現される。

【0044】同様に2ビット化部106は、色データの下位2ビットをディザマトリクス301bの値と比較してその結果の1ビットを上位2ビットに加算することで2ビット化する。その結果、例えば互いに隣接する4画素の色データが全て9という値であった場合、2と3が出され、平均2.25の値になり、全て2が出力され平均2となる入力する4画素の色データが全て8という値であった場合と異なる階調が4画素の領域で見た場合表現される。同様に1ビット化107は4ビットをディザマトリクス301cの値と比較してその結果の1ビットを出力する。その結果、例えば互いに隣接する16画素が9という値であった場合、1が9個と0が7個出され、16画素で平均約0.56の値になり、1と0が交互に出力され平均0.5となる入力する16画素の色データが全て8という値であった場合と異なる階調が16画素の領域でみた場合表現される。

【0045】次に、画素位置対応選択部108について説明する。

【0046】図6に、画素位置対応選択部108の構成を示す。

【0047】図中、ビット数選択テーブル501は主走査方向5画素、副走査方向5画素の25画素単位として1色データごとにその画素位置に対応した数値を出力する。このような論理回路は、16値ディザ104のディザマトリクス202と同様に構成することができる。

【0048】図7に、このビット選択テーブル108の出力する数値と画素位置との関係を、各色別に示す。

【0049】図示するように、この数値と画素位置との関係は、図3に示した16値ディザのためのディザマトリクス202a～dに対応しており、ディザマトリクス202a～dにおける値が小さい画素位置ほど大きな値を出力するようになっている。

【0050】次に、図6において、パラレルーシリアル

変換部 502 は、図 1 の 3 ビット化部 105 の出力する 3 ビットの並列データを 1 ビット直列のデータに変換する。これは論理回路であるパラレルシリアル変換器で実現できる。また、パラレルシリアル変換部 503 は図 1 の 2 ビット化部 106 の 2 ビットの並列データを 1 ビット直列のデータに変換する。これは論理回路であるパラレルシリアル変換器で実現できる。

【0051】選択部 504 は、ビット選択テーブル 501 の出力する値に応じて、3 ビット化部 105、2 ビット化部 106、1 ビット化部 107 の出力のうちの一つを選択して出力する。これは論理回路であるセレクタで実現できる。

【0052】シリアル-パラレル変換部 505 は選択部 504 が output する 1 ビット直列のデータを、複数ビット（例えば 32 ビット）並列に出力する。これは論理回路であるシリアル-パラレル変換回路で実現できる。

【0053】以上の構成において、画素位置対応選択部 108 は、処理の対象となる画素の位置に応じてビット数選択テーブル 501 から選択部 504 の選択内容を制御する値を出力する。その値により、選択部 504 は、3 ビット画素データの 1 ビットシリアル変換後のデータ、2 ビット画素データの 1 ビットシリアル変換後のデータ、または 1 ビット画素データを選択する。その出力をシリアル-パラレル変換部 505 でパラレル変換し、32 ビット蓄積されるごとに画像メモリ 109 へ出力する。

【0054】この結果、各色データについて、図 3 に示した 16 値ディザのためのディザマトリクス 202a～d の値 0, 15 に対応する画素位置の画素の色データについては 3 ビット化部 105 で処理された 3 ビットのデータが選択され、値 30 に対応する画素位置の画素の色データについては 2 ビット化部 106 で処理された 3 ビットのデータが選択され、値 45, 60 に対応する画素位置の画素の色データについては 1 ビット化部 106 で処理された 1 ビットのデータが選択され、32 ビットのデータにパラレル化された後、画像メモリ 109 に書き込まれる。

【0055】さて、このようにして、32 ビット並列に画像メモリ 109 に書き込まれた色データは、画像メモリ 109 に 1 ページ分の色データが蓄積された後、書き込まれた順に読み出され、図 1 の 4 ビット化部 110 に供給される。

【0056】次に、図 1 の 4 ビット化部について説明する。

【0057】図 8 に、4 ビット化部 110 の構成を示す。

【0058】ビット数選択テーブル 705 は、図 6 に示した画素位置対応選択部 108 のビット数選択テーブル 501 と同様の部位であり、4 ビット化部 110 で処理しようとする色データの画素位置に応じた数値を出力す

る。具体的には、3 ビット化部 105 で処理された 3 ビットの色データを処理するときには 3 を、2 ビット化部 106 で処理された 2 ビットの色データを処理するときには 2 を、1 ビット化部 107 で処理された 1 ビットの色データを処理するときには 1 を出力する。

【0059】クロック発生部 701 はビット数選択テーブル 705 の出力に応じて、一画素の処理期間内にシフタ 702 に入力するクロックを発生する。ビット数選択テーブル 705 の出力値が 3 の場合は一画素の処理期間内に 3 クロック分のパルスを発生する。テーブル出力が 2 の場合は 2 クロック分のパルスを発生する。テーブル出力が 1 のときは 1 クロック分のパルスを発生する。これは論理回路であるカウンタとその出力を選択するセレクタと組み合わせて実現できる。

【0060】シフタ 702 は画像メモリ 109 から読み出された 32 ビットのパラレル入力データを格納し、格納した入力データの上位 3 ビットを出力する。また、シフタ 702 は、クロック発生部 701 の出力するクロックにより下位ビットから上位ビット方向に格納したデータをクロック数分ビットシフトする。これは論理回路であるシフトレジスタで実現できる。

【0061】3-4 変換部 703a は、シフタ 702 が output する 3 ビットの入力データを 4 ビットのデータに変換して出力する。これはアドレスに 3 ビットデータを入力し、そのアドレスに格納されている 4 ビットのデータを出力するレジスタファイルで実現できる。2-4 変換部 703b はシフタ 702 の出力する 3 ビットのうちの上位 2 ビットの入力データを 4 ビットのデータに変換して出力する。これはアドレスに 2 ビットデータを入力し、そのアドレスに格納されている 4 ビットのデータを出力するレジスタファイルで実現できる。1-4 変換部 703c はシフタ 702 が output する 3 ビットのうちの上位 1 ビットの入力データを 4 ビットのデータに変換して出力する。これはアドレスに 1 ビットデータを入力し、そのアドレスに格納されている 4 ビットのデータを出力するレジスタファイルで実現できる。

【0062】次に、選択部 704 はビット数変換テーブル 705 の値に応じて、3-4 変換部 703a、2-4 変換部 703b、1-4 変換部 703c の出力のうちの、一つを選択して出力する。これは論理回路であるセレクタで実現できる。

【0063】このような構成において、4 ビット化部 110 は画像メモリ 109 に蓄積された、画素位置ごとに異なるビット数（3 ビット、2 ビット、1 ビット）で画像メモリ 109 に蓄積され、読み出された画像データを 4 ビットの画像データに変換する。すなわち、最初に画像メモリ 109 から 32 ビットのデータがシフタ 702 にラッチされる。次にビット数選択テーブル 705 から、処理の対象となる色データビット数が出力される。たとえばビット数選択テーブル 705 の出力が 3 のと

き、シフタ702の上位3ビットのデータを3-4変換部703で4ビットに変換した値が選択部704で選択されて出力する。その後、クロック発生701から3クロック分のパルスが出力されシフタ内の画素データが3ビット分上位方向にシフトされて、次の画素のデータが最上位に入る。そしてビット数変換テーブルの出力が2の場合、シフタの上位2ビットが2-4変換部704で4ビットのデータに変換され選択部704から出力される。そしてクロック発生701より2クロック分のパルスが出力されシフタ内のデータが2ビット分上位方向にシフトされる。以下同様にビット数選択テーブル705の出力値に応じて各画素のデータが順次4ビットのデータに変換され、選択部704で選択され図1のパルス幅変調部111に供給される。

【0064】ここで、パルス幅変調111に供給される色データは、全て4ビットとなるが、個々の色データの取り得る値の数は、異なっている。3ビットから4ビットに変換された色データの取り得る値が最も多く、1ビットから4ビットに変換された色データの取り得る値の数が最も少ない。このことは、3ビットから4ビットに変換された色データが単独で表現できる階調数が最も多く、1ビットから4ビットに変換された色データ単独で表現できる階調数が最も少ないと捕らえることができる。

【0065】次に、図1のパルス幅変調部111について説明する。

【0066】図9(a)にパルス幅変調部111の実施例を示す。D/A801は入力される4ビットのデジタル信号をアナログ信号に変換して出力する機能である。これは一般的D/A変換器で実現できる。

【0067】ノコギリ波発生部802は画素クロックが1の期間は電圧が時間の経過に比例して直線状に上昇し、画素クロックが0の期間は電圧がグランドレベルにリセットするノコギリ波電圧を発生する。これはコンデンサと抵抗とオペアンプの組み合わせで実現できる。

【0068】比較部803はD/A801の出力電圧が下部のノコギリ波電圧より大きい場合に1を出力し、それ以外の場合0を出力する。これはアナログコンパレータで実現できる。

【0069】このような構成において、まず最初に、4ビット画像信号をD/A801でアナログ信号に変換する。比較部803はD/A801の出力とノコギリ波電圧を比較し、D/A801の出力がノコギリ波電圧より大きいとき1を出力する。その結果、図9(b)、PWM出力として示すように入力画像信号に比例して、画像信号が大きいほどパルス期間が長いパルス信号が得られる。このパルス信号は、図1のプリンタエンジン112に供給される。

【0070】プリンタエンジン112は、このパルス信号に変換された色データの画素位置に対応する用紙上の

領域に、パルス期間、対応する色を印刷を行うよう動作する。

【0071】図10に、以上のような動作によって、用紙上に印刷されたドットの形状の例を示す。

【0072】図10(a)は、従来の2ビットの色データを用いた場合を示しており、図10(b)が本実施形態における場合を示している。

【0073】さて、図中において、太枠の四角は一画素分の印刷領域を示している。また四角内の細線の長方形は印刷の単位を示している。また、図10の(a)および(b)は図2のディザマトリクス202内の太線で囲った隣接する5画素分の印刷領域を示したものである。

【0074】図示するように、(a)の従来の場合は画素位置に依存せず2ビット/画素の色データをパルス幅変調して印字するため5画素全てについて0/3印刷、1/3印刷、2/3印刷、3/3印刷の4通りの4階調を表現する。

【0075】これに対し(b)の本実施形態では、図3のディザマトリクスの値が小さい画素位置(この例では左上と左下の2画素)では3ビット/画素のデータをパルス幅変調して印字するため一画素分の領域で0/7印刷から7/7印刷まで8通りの印刷ができる。また右上の画素は2ビット/画素のデータをパルス幅変調して印字するため0/3から3/3までの4通り、右下2画素は1ビット/画素のデータをパルス幅変調して印字するため0/1と1/1の2通りの印刷が行える。

【0076】ここで、図3のディザマトリクスの値が小さい画素位置の色データの値は、白に近い低濃度領域における階調を表すことになる。低濃度領域以外では、

図3のディザマトリクスの値が小さい画素位置は領域全てが印刷されることになるが、低濃度領域では、図3のディザマトリクスの値が小さい画素位置の領域は全て印刷されず、その一部分のみが印刷される。したがって当該領域内で、どれだけ小さい部分を単位に印刷を行えるかが、直接画像の階調の品質に大きな影響を与える。そして、このように低濃度領域における表現可能な階調を増やすことは、少ないデータ量で、画像全体の品質を向上する上で効果的である。なぜならば、一律に色データのビット数を少なくしても、高濃度領域では画像品質に比較的差がみられないのに対し、図11(a)に示すように低濃度領域では、孤立ドットと呼ばれる孤立した点が表れ、これが画像の品質を大きく劣化させるが、本実施形態のように低濃度領域における階調表現数のみを増加することにより、このような孤立ドットの発生を、一律に色データのビット数を増やす場合に比べ少ないデータ量で抑止することができるからである。

【0077】たとえば、(a)および(b)の場合は両方とも5画素で10ビット、1画素あたり平均2ビットの色データ量であるが、本実施形態の場合は、孤立ドットの目立ちやすい低濃度領域はビット数を多くし、目立

ちにくい高濃度領域はビット数を少なくすることで従来の3ビット／画素の場合と同等な品質の画像を形成することができる。

【0078】これは、図3に示したような、濃度が上がるにつれてドットが太っていくようなディザマトリクスを用いた、いわゆる集中型ディザを採用した場合に限られず、たとえば、濃度の上昇に伴い順次ドットを分散的に配置していく、分散型ディザを用いる場合も同様である。ここで、図12に、分散型ディザを用いた場合に印刷できる単位を、図10に示した場合と同様5画素分について示す。図12の左上と右下の画素位置の領域は、濃度が低いときに、一部のみが印刷される領域である。

【0079】さて、最後に、本実施形態に係るカラープリンタシステムの、各部の配置例を図13に示す。

【0080】図13においてホストコンピュータ1101は、一般的な構成を備えたコンピュータであり、印刷する画像情報を作成する。プリンタコントーラ1102は入力された画像データをプリンタエンジンに印刷可能なアナログ情報に変換する。画像ファイル1103は、ホストコンピュータに接続したハードディスク装置などを用いて構成された、ホストコンピュータで作成した画像情報を蓄える部位である。色変換部1104はR, G, Bの色情報をC, M, Y, Kの色情報に変換するものであり、図1の色変換部102に対応する。多値ディザ部1105はディザ処理を行い、例えば8ビット／画素の画像データを4ビット／画素に変換するものであり、図2の16値ディザ部に対応する。ビット数削減部1106は画素位置に応じて異なるビット削減を行うもので図1の105, 106, 107, 108に対応する。画像メモリ1107は画像データを一ページ分蓄積するもので図1の画像メモリ109に対応する。パルス幅変調部1108は画像データを値に応じたパルス幅に変換するもので図1の111に対応する。プリンタエンジン1109は記録紙に画像情報を印字する機能であり、図1のプリンタエンジン112に対応する。

【0081】図13の(a)はホストコンピュータ1101からR, G, Bの各色データをプリンタコントーラに伝送して、それ以後を全てプリンタコントーラ1102が実行する配置であり、図13の(b)はホストコンピュータ1101で多値ディザ処理まで行ってからプリンタコントーラ1102に画像データを伝送する配置であり、図13(c)はホストコンピュータ1101でビット削減1106まで行ってからプリンタコントーラ1102に画像データを伝送する配置である。

【0082】また、各配置において、一般的には、プリンタコントーラ1102とプリンタエンジン1109は、一つのプリンタ装置として構成する。

【0083】以上、本発明の一実施形態について説明した。なお、本実施形態では、カラーレーザプリンタシステムへの適用を例にとり、本発明に係る画像形成装置の実施形態を説明したが、カラーレーザープリンタシステム以外の各種プリンタシステムや、表示装置などの、他の画像形成装置に本発明を適用するようにしてもよい。また、以上の実施形態で示した各処理を、ソフトウェア的に実現するようにしてもよい。

【0084】

10 【発明の効果】以上のように、本発明によれば、画像データのビット数を従来と同等である場合に、従来よりより高品質の画像を形成することができる画像形成装置を提供することができる。

【図面の簡単な説明】

【図1】カラーレーザープリンタシステムの構成を示すブロック図である。

【図2】16値ディザの構成を示すブロック図である。

【図3】16値ディザに用いるディザマトリクスを示した図である。

20 【図4】16値ディザの出力例を示した図である。

【図5】3/2/1ビット化の構成を示したブロック図である。

【図6】画素位置対応選択の構成を示したブロック図である。

【図7】ビット選択テーブルの出力を示した図である。

【図8】4ビット化の構成を示したブロック図である。

【図9】パルス幅変調の構成を示したブロック図である。

【図10】印刷の単位を示した図である。

30 【図11】孤立ドットの発生のようすを示した図である。

【図12】分散型ディザを採用した場合の印刷の単位を示した図である。

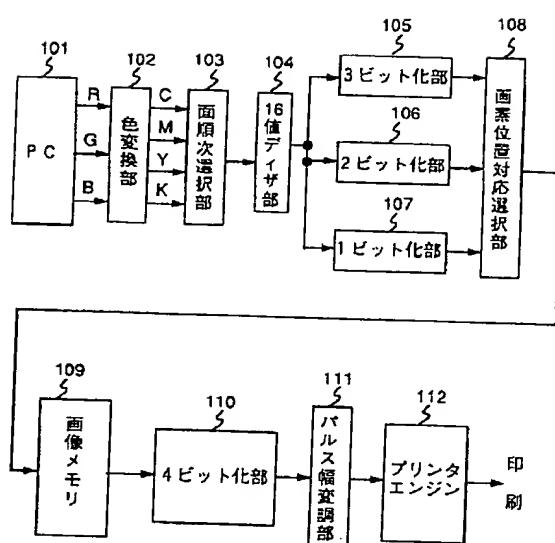
【図13】各部位の配置例を示したブロック図である。

【符号の説明】

101	P C
102	色変換部
103	面順次選択部
104	16値ディザ部
105	3ビット化部
106	2ビット化部
107	1ビット化部
108	画素位置対応選択部
109	画像メモリ
110	4ビット化部
111	パルス幅変調部
112	プリンタエンジン

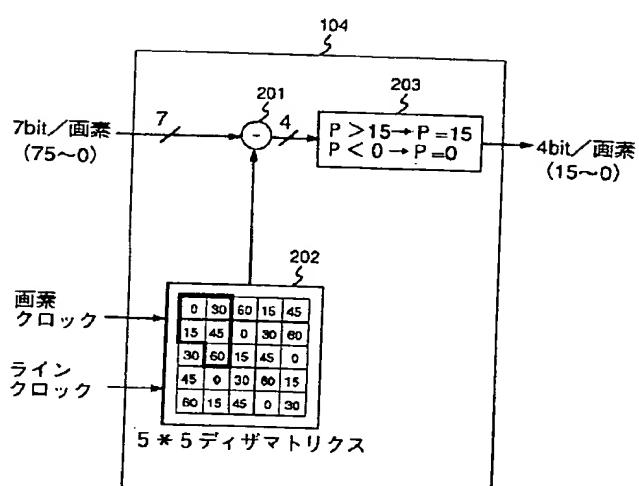
【図 1】

図 1



【図 2】

図 2



【図 3】

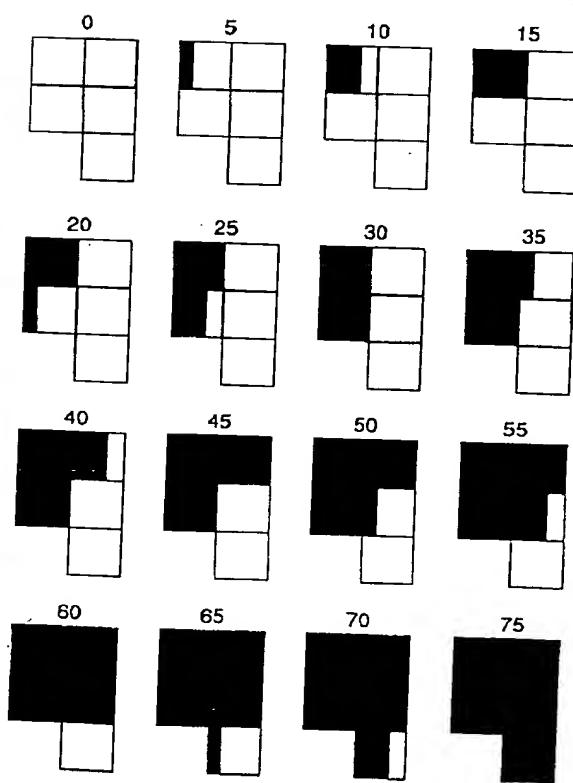
図 3

		202a					202b						
		Y	0	30	60	15	45	M	60	30	0	45	15
C	0	0	30	60	15	45	0	30	60	15	45	15	45
	15	15	45	0	30	60	0	30	60	15	45	0	
	30	30	60	15	45	0	30	60	15	45	0	30	
	45	45	0	30	60	15	45	0	30	60	15	45	
	60	60	15	45	0	30	60	15	45	0	30	60	
	0	15	45	0	30	60	15	45	0	30	60	15	

		202c					202d						
		C	60	15	45	0	30	0	30	60	15	45	0
K	0	0	30	60	15	45	0	30	60	15	45	0	30
	15	15	45	0	30	60	0	30	60	15	45	0	
	30	30	60	15	45	0	30	60	15	45	0	30	
	45	45	0	30	60	15	45	0	30	60	15	45	
	60	60	15	45	0	30	60	15	45	0	30	60	
	0	30	60	15	45	0	30	60	15	45	0	30	

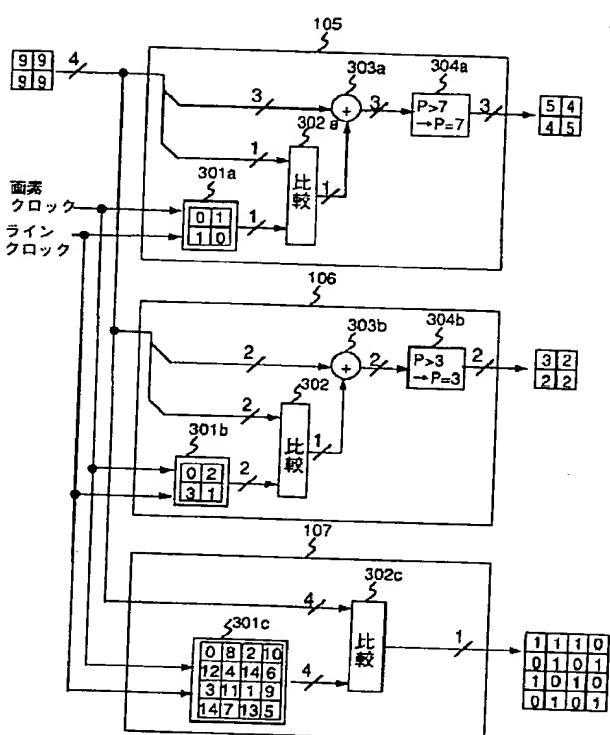
【図 4】

図 4



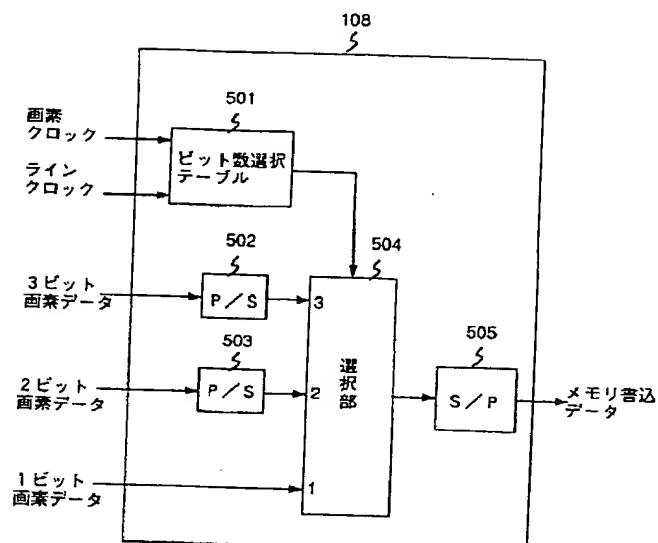
【図 5】

図 5



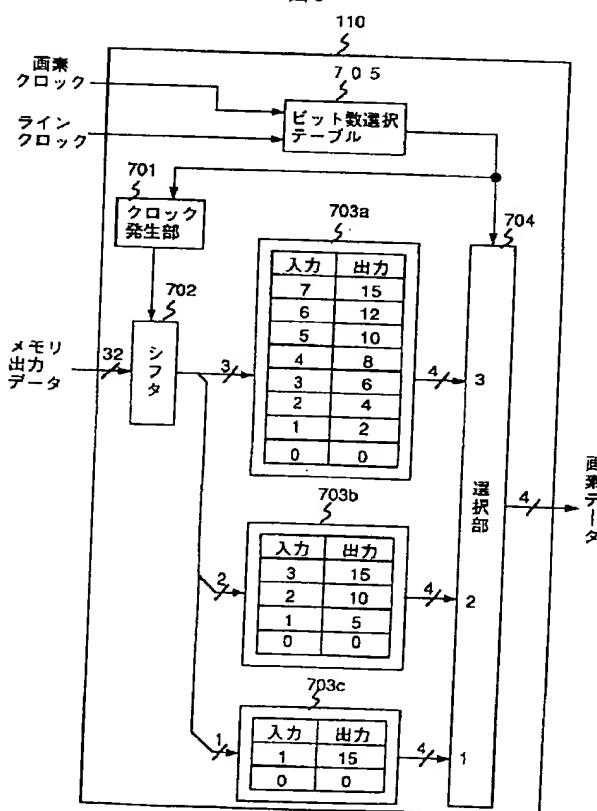
【図 6】

図 6



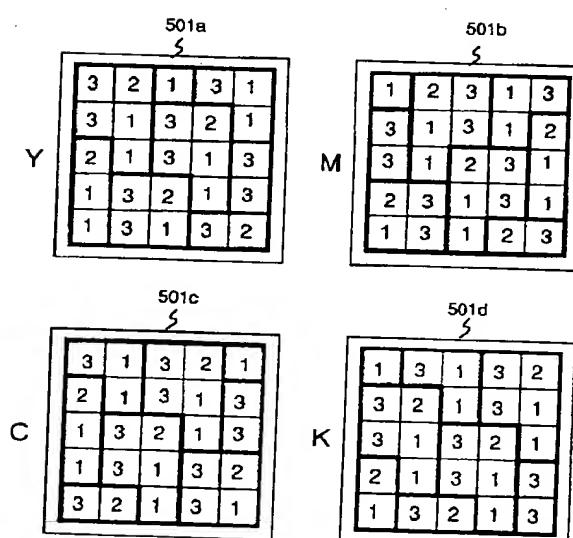
【図 8】

図 8



【図 7】

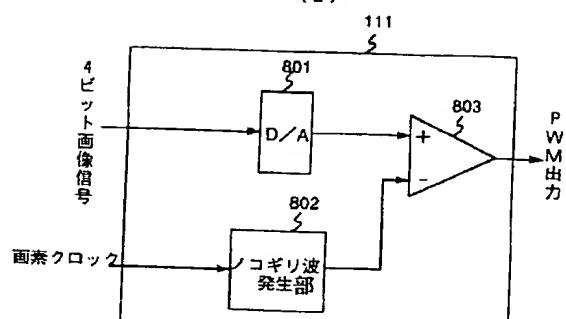
図 7



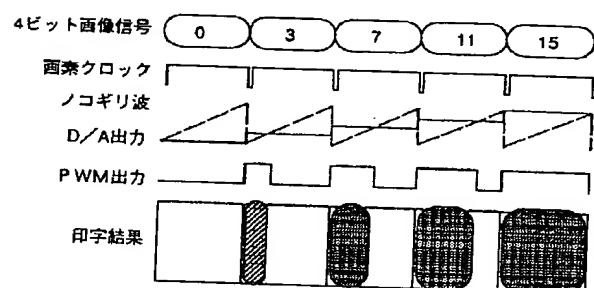
【図9】

図9

(a)



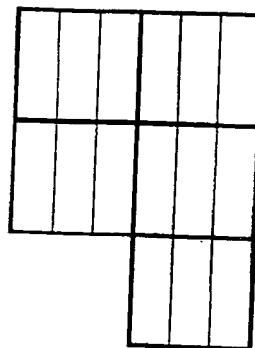
(b)



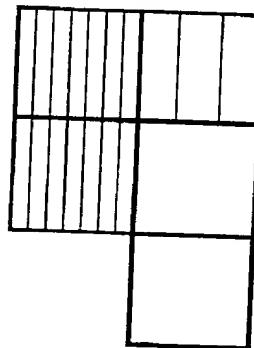
【図10】

図10

(a)

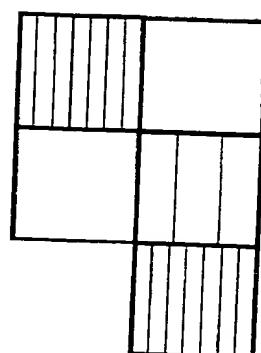


(b)



【図12】

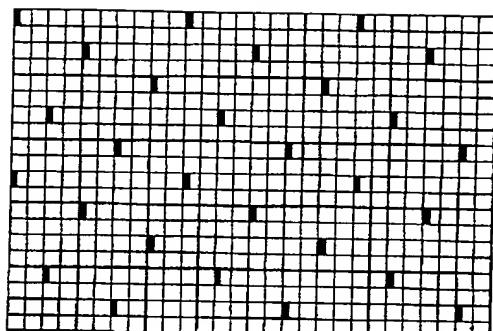
図12



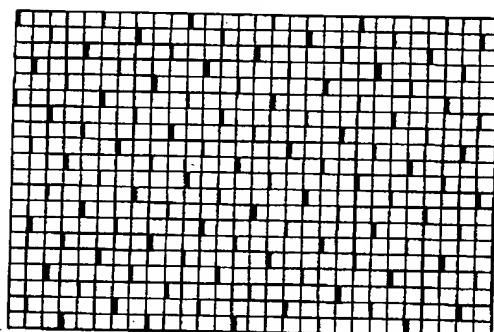
【図11】

図11

(a)



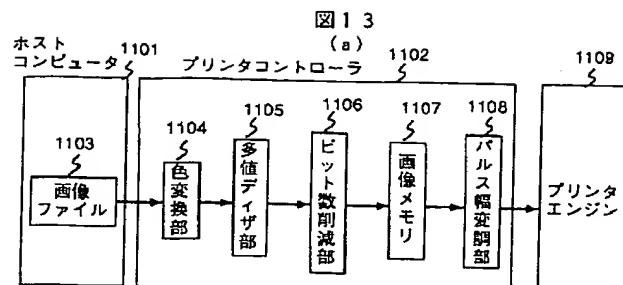
(b)



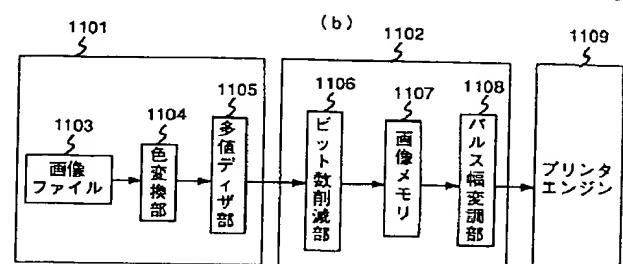
【図13】

図13

(a)



(b)



(c)

